

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 62-178927

(43)Date of publication of application : 06.08.1987

(51)Int.Cl.

G02F 1/133  
G02F 1/133  
G09G 3/20

(21)Application number : 61-021386

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 03.02.1986

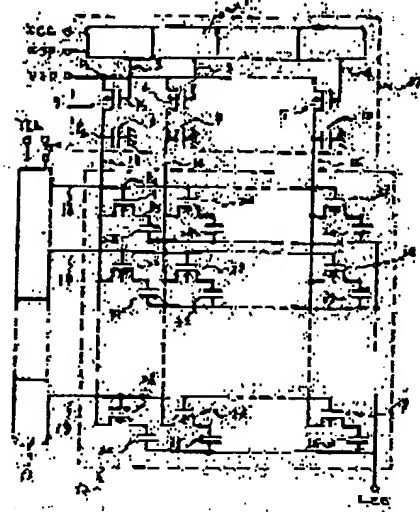
(72)Inventor : MATSUEDA YOJIRO

## (54) ACTIVE MATRIX PANEL CONTAINING DRIVER

### (57)Abstract:

**PURPOSE:** To write faithfully an image signal to a picture element electrode by providing a switching circuit using the first TFT, in a driver integrated circuit, and constituting a TFT array for driving a liquid crystal, of the second TFT whose polarity is different from that of the first TFT.

**CONSTITUTION:** An active matrix panel containing a driver consists of three parts of an X driver part 37, a Y driver part 11 and a picture element area part 12. An image signal is written to data lines 13W15 through TFTs of 5W7 in accordance with a timing of an output pulse of a shift register. A picture element area part is constituted of the data lines 13W15 driven by the X driver, scanning lines 16W18 driven by the Y driver, picture element TFTs 19W27 which are placed in their intersections and drive a picture element electrode, and capacities 28W36 formed by placing a liquid crystal between the picture element electrode and the opposed electrode. Also, if characteristics of the TFT 5 of a P channel and the TFT 19 of an (n) channel are symmetrical, a picture can be reproduced faithfully for the image signal of every level.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision]



[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

Copyright (C) 1998,2003 Japan Patent Office



⑭ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭62-178927

① Int. Cl.

G 02 F 1/133

識別記号

3 2 7

3 3 2

庁内整理番号

8205-2H

7348-2H

D-7436-5C

③ 公開 昭和62年(1987)8月6日

G 09 G 3/20

審査請求 未請求 発明の数 1 (全6頁)

④ 発明の名称 ドライバー内蔵アクティブマトリクスパネル

⑤ 特 願 昭61-21386

⑥ 出 願 昭61(1986)2月3日

⑦ 発 明 者 松 枝 洋 二 郎

諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

⑧ 出 願 人 セイコーエプソン株式  
会社

東京都新宿区西新宿2丁目4番1号

⑨ 代 理 人 弁理士 最 上 務 外1名

明 細 書

# 1 発明の名称

ドライバー内蔵アクティブマトリクスパネル

## 2 特許請求の範囲

絶縁基板上に設けられた、走査線群、データ線群、前記走査線及びデータ線を駆動するドライバー集積回路、及び前記走査線及びデータ線の交点に設けられた薄膜トランジスタ(以下TFTと略記)アレイによって液晶を駆動して成るドライバー内蔵アクティブマトリクスパネルにおいて、前記ドライバー集積回路内に第1のTFTを用いたスイッチング回路を備え、液晶を駆動する前記TFTアレイを第1のTFTと極性の異なる第2のTFTで構成したことを特徴とするドライバー内蔵アクティブマトリクスパネル。

## 3 発明の詳細な説明

本発明は、ドライバー内蔵アクティブマトリクスパネルの回路構成に関する。

### 〔発明の概要〕

本発明はドライバー内蔵アクティブマトリクスパネルにおいて、ドライバー集積回路内に第1のTFTを用いたスイッチング回路を備え、液晶を駆動するTFTアレイを第1のTFTと極性の異なる第2のTFTで構成したことにより、第1のTFTのスイッチング時に生じる電圧変動分を、第2のTFTのスイッチング時に生じる電圧変動分で補い、図素電極に画像信号を忠実に書き込むようにしたものである。

### 〔従来の技術〕

絶縁基板上にTFTを用いてドライバーを内蔵したアクティブマトリクスパネルの例としては、"エス・アイ・ディー(SED)84 ダイジェスト 316ページ 1984"に示されるようなものがある。第2図はその回路図である。同図に示すドライバー内蔵アクティブマトリクスパ



及び画素エリア部52とで構成されている。エド  
ライバー部は、41のシフトレジスタ、45～4  
7のデータ線選択回路、及びデータ線に画像デー  
タを保持する容量48～50とからなる。42～  
44はシフトレジスタ41の出力であり、45～  
47のデータ線選択回路のTFTのOM、OPF  
を操作する。画素エリアは53～55のデータ線、  
56～58の走査線、59～67の画素TFT、  
及び68～76の液晶の容量とから成る。56～  
58の走査線は51のYドライバーによって1水  
平走査期間 $t_H$ ずつ順次選択される。たとえば5  
6が選択されている間は、59～61のTFTが  
全てOFFしており、エドライバー40によって5  
3～55の走査線に順次書き込まれた画像信号を、  
68～70の液晶の容量に書き込んでいく。こ  
後に54は非選択状態となり、59～61の画素  
TFTがOFFし、57の走査線が選択され、次  
のラインの画素TFT62～64をONさせ、同  
様に画像信号を書き込んでいく。XOL、XBP  
はX側シフトレジスタのクロック信号及びスター

プ信号 $V_{DDX}$ を、それぞれ $V_{DDX}$ および $V_{SSX}$ と等  
しくしてある時刻 $t_1$ において走査線56が選択  
され、 $M_1$ がハイレベルとなり59～61のTFT  
が全てOFFする。時刻 $t_2$ において $M_2$ がハイ  
レベルとなり、TFT45がONし、 $M_1$ と $M_2$   
とが同電位となりデータ線に画像信号が書き込  
まれる。時刻 $t_3$ において $M_2$ がローレベルとなり、  
TFT45がOFFする。この時 $M_2$ の電位は、  
TFT45の電極間容量と、データ線の容量48  
との容量分割により、瞬時的に低くなる。この電  
位変動分 $\Delta V_1$ は、TFT45のゲート・ソース  
間容量を $C_1$ 、データ線の容量を $C_2$ とすると、

$$\Delta V_1 = (V_{DDX} - V_{SSX}) \cdot C_1 / (C_1 + C_2) \quad (1)$$
  
で表わされる。データ線の電位 $M_2$ は、時刻 $t_3$   
における画像信号より $\Delta V_1$ だけ低い電位で保持  
され、その間、画素のTFT59を通じて画素電  
極 $M_3$ にデータ線の電荷が注入され、 $M_2$ と $M_3$   
の電位が等しくなる。時刻 $t_4$ において $M_1$ がロ  
ーレベルとなりTFT59がOFFする。この時

トパルスであり、XCL、XBPはX側ドライバ  
ーのクロック信号及びスタートパルスである。Y  
IDは画像信号入力、L00は対向電極である。  
〔発明が解決しようとする問題点〕

しかし、前述の従来技術には以下に述べるよう  
な問題点がある。

第3図はドライバー内蔵アクティブマトリクス  
パネルの画像信号電位および走査線信号電位を示  
す図である。液晶は交流駆動する必要があるため、  
1フィールドごとに画像信号をある電位 $V_1$ を中心  
として正負反転させ用いる。 $V_{M1}$ 及び $V_{M2}$ は  
それぞれ第1フィールド及び第2フィールドでの  
黒レベルに相当する画像信号電位である。走査線  
信号は、画素エリアのTFTがマルチチャンネルの場合  
には、1水平走査期間 $t_H$ だけエドライバーの正電  
源電位 $V_{DDX}$ と等しく、残りの期間は負電源電位  
 $V_{SSX}$ と等しくなっている。第1フィールドにか  
ける1水平走査期間 $t_H$ の、第2図の $M_1 \sim M_3$ の  
各部分の動作電位を示した図が第4図である。こ  
の図においてはX側の正電源 $V_{DDX}$ 、および負電

の容量68との容量分割により、瞬時的に低くな  
る。この電位変動分 $\Delta V_1$ は、TFT59のゲー  
ト・ソース間容量を $C_1$ 、液晶の容量を $C_2$ とす  
ると、

$$\Delta V_1 = (V_{DDX} - V_{SSX}) \cdot C_1 / (C_1 + C_2) \quad (2)$$
  
で表わされる。

以上述べたように、従来のドライバー内蔵アク  
ティブマトリクスパネルにおいては、画素電極に  
書き込まれる信号が実際の画像信号に対して、  
 $\Delta V_1 + \Delta V_2$ だけずれるという問題点を生じる。  
しかも、TFTの電極間容量はバイアス状態によ  
り異なるため、画像信号のレベルによって①式お  
よび②式の右辺の値は変化し、電圧変動分 $\Delta V_1$   
+  $\Delta V_2$ も変化する。したがって画面の再現性が  
悪く、第1フィールドと第2フィールド間での書  
き込み電圧の非対称性によりフリッカーを生じる  
など画質を悪化されることになる。

本発明は以上のような問題点を解決するもので、  
その目的とするところは、画素電極に液晶は且



リタスパネルの回路構成を与えるところにある。

〔問題点を解決するための手段〕

本発明のドライバー内蔵アクティブマトリクスパネルは、ドライバー集積回路内に第1のTFTを用いたスイッチング回路を備え、液晶を駆動するTFTアレイを第1のTFTと特性の異なる第2のTFTで構成したことを特徴とする。

〔作用〕

本発明の上記の構成によれば、第1のTFTのスイッチング時に生じる電圧変動分を、第2のTFTのスイッチング時に生じる電圧変動分で相消することができ、画素電極に画像信号を忠実に書き込むことができる。

〔実施例〕

本発明のドライバー内蔵アクティブマトリクスパネルは、第1図に示すようにエドライバー部37、Yドライバ部11、及び画素エリア部12の3つの部分より成る。まずエドライバの構成について述べる。1はシフトレジスタであり、2～4はその出力である。画像信号は、シフトレジ

スタの出力パルスのタイミングに応じて3～7のTFTを介してデータ線13～15に書き込まれる。8～10は画像データをデータ線に保持する容量である。Yドライバ部は、シフトレジスタ11と走査線16～18とから成る。画素エリア部は、エドライバによって駆動されるデータ線13～15と、Yドライバによって駆動される走査線16～18と、これらの交点に配置され画素電極を駆動する画素TFT19～27と、画素電極と対向電極の間に液晶をはさんで成る容量28～36とから構成されている。XOL、XSPはX側シフトレジスタのクロック信号及びスタートパルスであり、YOL、YSPはY側シフトレジスタのクロック信号及びスタートパルスである。これらのシフトレジスタはスタートパルスをクロックの半周期ごとに順次後段へ送る働きをする。VIDは画像信号入力、D00は対向基板である。

次に、ドライバー内蔵アクティブマトリクスパネルの動作について説明する。一般にBTSOのビデオ信号は第1フィールドと第2フィールドを合わせた1フレームの信号で画面全体の絵を送る。液晶は交差駆動する必要があるため、画像信号は第3図のようにフィールドごとにある電位 $V_1$ を中心に正負反転させたものを用いる。 $V_{MA}$ 及び $V_{MX}$ はそれぞれ第1フィールド及び第2フィールドでの黒レベルに相当する画像信号電位である。走査線信号は、画素TFTがマルチセルの場合、1水平走査期間 $t_H$ だけYドライバの正電源電圧 $V_{DDX}$ と等しく、残りの期間に負電源電位 $V_{SSX}$ と等しくなっている。第5図は、第1図の $P_1 \sim P_2$ の各部分の動作電位を、第1フィールドの1水平走査期間 $t_H$ について示したものである。従来例と異なる点は、スイッチング回路のTFT5～7にPチャネルを用いたため、シフトレジスタ1の出力2～4の動作電位波形が反転していることである。まず、時刻 $t_1$ において走査線16が選択され、 $P_1$ が $V_{DDX}$ と等しくなり画素TFT19～21が全てONする。時刻 $t_2$ において $P_2$ の電位が $V_{DDX}$ から $V_{SSX}$ となり、TFT5が0

スタの出力パルスのタイミングに応じて3～7のTFTを介してデータ線13～15に書き込まれる。8～10は画像データをデータ線に保持する容量である。Yドライバ部は、シフトレジスタ11と走査線16～18とから成る。画素エリア部は、エドライバによって駆動されるデータ線13～15と、Yドライバによって駆動される走査線16～18と、これらの交点に配置され画素電極を駆動する画素TFT19～27と、画素電極と対向電極の間に液晶をはさんで成る容量28～36とから構成されている。XOL、XSPはX側シフトレジスタのクロック信号及びスタートパルスであり、YOL、YSPはY側シフトレジスタのクロック信号及びスタートパルスである。これらのシフトレジスタはスタートパルスをクロックの半周期ごとに順次後段へ送る働きをする。VIDは画像信号入力、D00は対向基板である。

次に、ドライバー内蔵アクティブマトリクスパネルの動作について説明する。一般にBTSOのビデオ信号は第1フィールドと第2フィールドを

像信号が書き込まれる。時刻 $t_1$ において $P_1$ が $V_{DDX}$ から $V_{DDX}$ となり、TFT5がOFFする。この時 $P_2$ の電位は、TFT5の電極間容量と、データ線の容量 $C_2$ との容量分割により、瞬時的に高くなる。この電位変動分 $\Delta V_1$ は、TFT5のゲート・ソース間容量を $C_1$ 、データ線の容量を $C_2$ とすると、

$$\Delta V_1 = (V_{DDX} - V_{SSX}) \cdot C_1 / (C_1 + C_2) \quad \text{---(3)}$$

で表わされる。データ線の電位 $P_2$ は、時刻 $t_1$ における画像信号より $\Delta V_1$ だけ高い電位で保持され、その間、画素のTFT19を通じて画素電極 $P_3$ にデータ線の電荷が注入され、 $P_2$ と $P_3$ の電位は、TFT19の電極間容量と、液晶の容量 $C_3$ との容量分割により、瞬時的に低くなる。この電位変動分 $\Delta V_2$ は、TFT19のゲート・ソース間容量を $C_1$ 、液晶の容量を $C_3$ とすると、

$$\Delta V_2 = (V_{DDX} - V_{SSX}) \cdot C_1 / (C_1 + C_3) \quad \text{---(4)}$$

で表わされる。ここで(3)式と(4)式の右辺の値が等しくなるように設計すれば、画素電極 $P_3$ に書き



とができる。さらにPチャネルのTFT5とNチャネルのTFT17の特性が対称であれば、バイアス状態に依存せず③式と④式の右辺を等しくすることができるため、あらゆるレベルの画像信号に対して画面を忠実に再現することができる。

ただし、一般にTFTのスレッショルド電圧は高いため、ゲート・ソース間電圧はある値以上に保つ必要がある。そこで本実施例では、スドライバの正電源 $V_{DDX}$ 、負電源 $V_{SSX}$ を、Yドライバの正電源 $V_{DDY}$ 、負電源 $V_{SSY}$ に対してそれぞれ一定電圧だけ低くすることにより、PチャネルのTFT5～7とNチャネルのTFT17～27が、ともに十分なゲート・ソース間電圧を得ることができるようにしてある。これらの電源は外部から供給することもできるが、アクティブマトリクス基板上にTFTによるレベルシフト回路を構成して供給することもできる。

本実施例においては、画素エリアのTFT19～27をNチャネルで、スイッチング回路のTFT5～7をPチャネルで構成したが、逆にするこ

とも可能である。この場合、第5図において $P_1$ 、および $P_2$ の波形を反転し、XとYの電源の関係を入れ替えばよい。

第6図に、ドライバー部をCMOSTFT、画素アレイ部をNMOSTFTで形成した場合のドライバー内蔵アクティブマトリクスパネルの断面構造の一例を示す。80は絶縁基板、81は1層目のシリコン薄膜、82はゲート絶縁膜、83は2層目のシリコン薄膜または金属薄膜、84は層間絶縁膜、85は透明導電膜であり、画素電極以外は金属配線を用いることも可能である。

〔発明の効果〕

以上述べたように本発明の上記の構成によれば、画素電極に画像信号を忠実に書き込めるようになり、再現性のよい画面が得られる。さらに、第1フィールドと第2フィールド間での書き込み電圧の非対称性もなくなりフリッカーの少ない高品質の画面を得ることができる。

#### 4. 画面の簡単な説明

第1図はドライバー内蔵アクティブマトリクスパネルの回路図。

第2図は従来のドライバー内蔵アクティブマトリクスパネルの回路図。

第3図はドライバー内蔵アクティブマトリクスパネルの画像信号電位および走査線信号電位図。

第4図は従来のドライバー内蔵アクティブマトリクスパネルの各部の動作電位図。

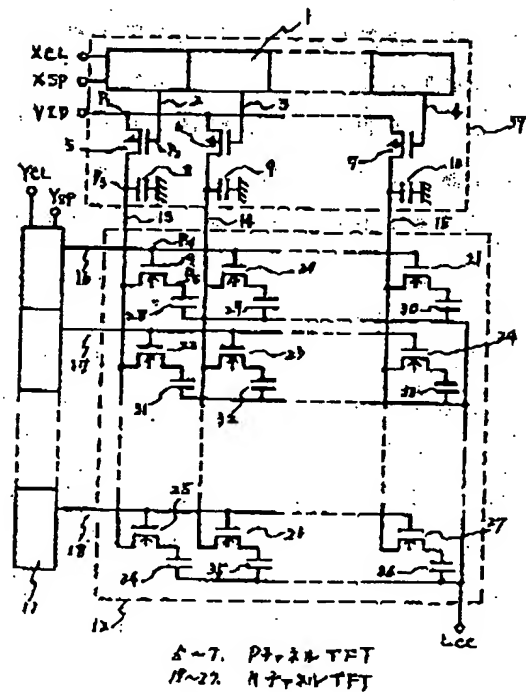
第5図はドライバー内蔵アクティブマトリクスパネルの各部の動作電位図。

第6図はドライバー内蔵アクティブマトリクスパネルの断面図。

5～7…PチャネルTFT

19～27…NチャネルTFT

以上



ドライバー内蔵アクティブマトリクスパネルの回路図

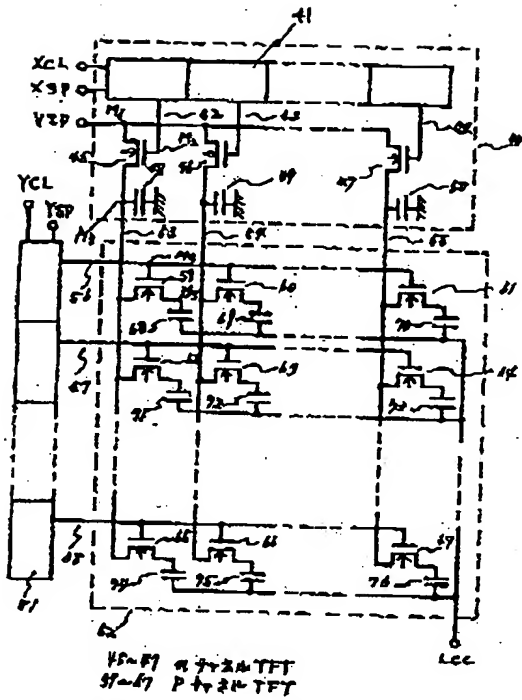
第1図

出願人 セイコーエプソン株式会社

代理人 弁理士 最上 務 他1名

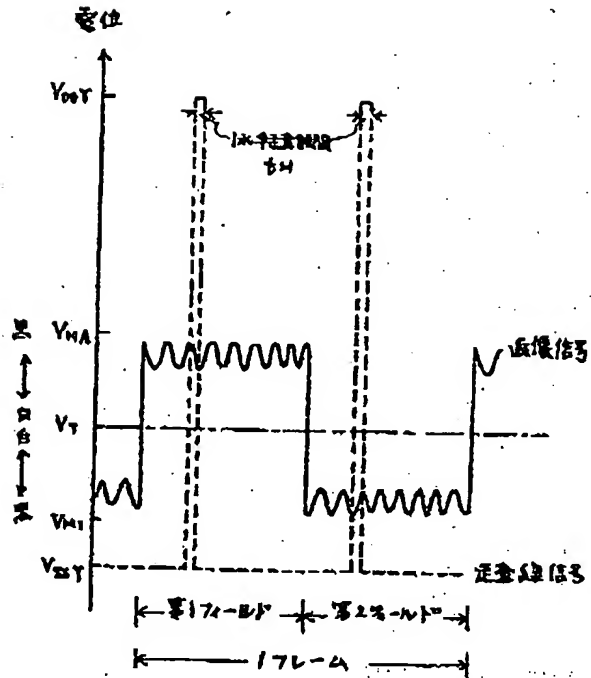






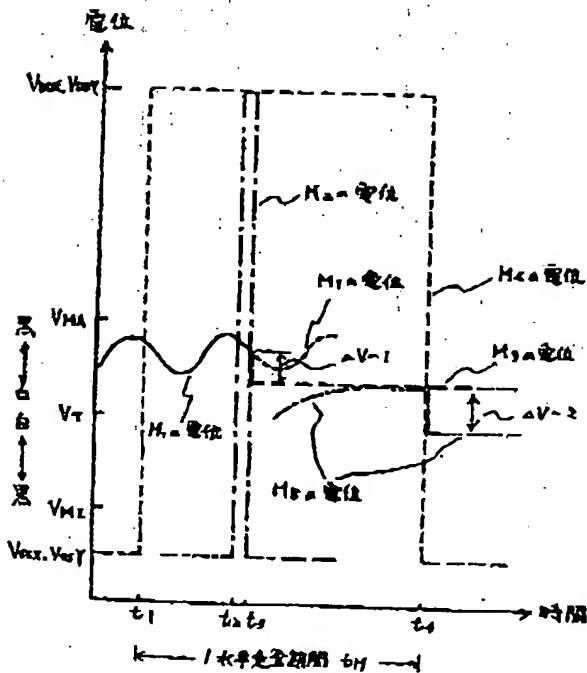
従来のトライバ-内蔵アクティブマトリクスパネルの回路図

第2図



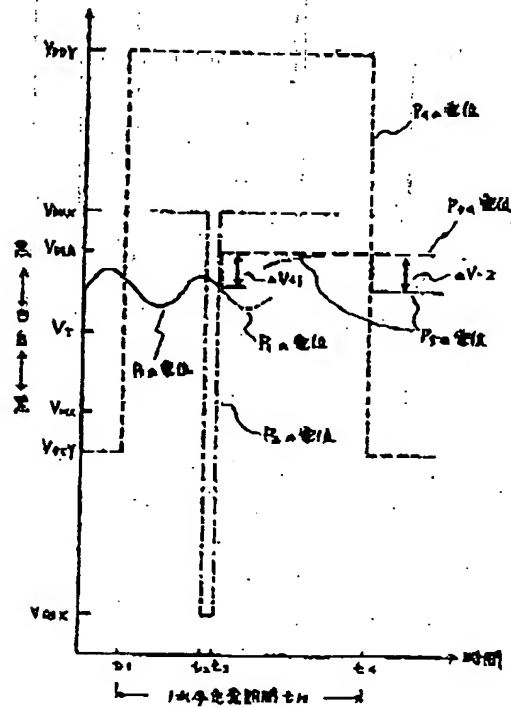
トライバ-内蔵アクティブマトリクスパネルの画像信号電位と正電圧信号電位図

第3図



従来のトライバ-内蔵アクティブマトリクスパネルの各部の動作電位図

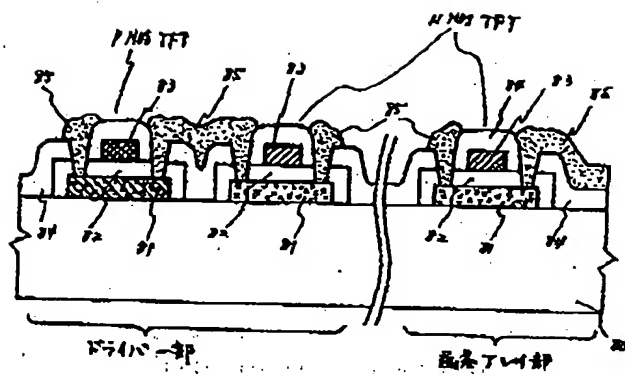
第4図



トライバ-内蔵アクティブマトリクスパネルの各部の動作電位図

第5図





ドライバ部画素部トラスパネルの断面図

第 6 図